

## ⑫ 公開特許公報(A)

平1-231134

⑤Int. Cl.<sup>4</sup>

G 06 F 11/22

識別記号

3 6 0

庁内整理番号

H-7368-5B

④公開 平成1年(1989)9月14日

審査請求 未請求 請求項の数 1 (全3頁)

④発明の名称 情報処理装置の擬似障害発生方式

②特 願 昭63-56373

②出 願 昭63(1988)3月11日

⑦発明者 長 澤 敏 勝 東京都港区芝5丁目33番1号 日本電気株式会社内  
⑦出願人 日本電気株式会社 東京都港区芝5丁目33番1号  
⑦代理人 弁理士 芦 田 坦 外2名

## 明 細 書

## 1. 発明の名称

情報処理装置の擬似障害発生方式

## 2. 特許請求の範囲

1. 複数のマイクロプログラム命令を格納し、実行中のマイクロプログラムアドレスによって指定された前記複数のマイクロプログラム命令の特定のマイクロプログラム命令を出力するマイクロプログラムメモリと、前記特定のマイクロプログラム命令に関連したデータ部及びパリティ部からなる特定のデータ情報を保持する第1のデータレジスタと、該第1のデータレジスタの出力を保持する第2のデータレジスタと、該第2のデータレジスタの出力のパリティエラーを検出し、パリティエラーを検出した時、障害検出信号を発生するパリティチェック回路とを有する情報処理装置において、前記第1のデータレジスタから前記第2のデータレジスタへの特定のデータ情報のデータ

転送の擬似障害を指示するための第1のフリップフロップと、擬似障害を発生すべき特別のマイクロプログラムアドレスを保持するアドレスレジスタと、該アドレスレジスタに保持された特別のマイクロプログラムアドレスと実行中のマイクロプログラムアドレスとを比較し、これらのマイクロプログラムアドレスが一致した時、一致信号を発生する比較回路と、前記一致信号を保持する第2のフリップフロップと、前記第1のフリップフロップが擬似障害を指示し、かつ前記第2のフリップフロップが一致信号を保持しているとき、前記第1のデータレジスタから前記第2のデータレジスタへ転送される特定のデータ情報の予め定められた部分を反転する手段と、前記障害検出信号により、前記第1及び第2のフリップフロップをリセットする手段とを有することを特徴とする情報処理装置の擬似障害発生方式。

## 3. 発明の詳細な説明

[産業上の利用分野]

本発明は、マイクロプログラム制御方式の情報処理装置に関し、特に、マイクロプログラムアドレスに対応した擬似障害発生方式に関する。

#### [従来の技術]

従来、この種の擬似障害発生方式は、マイクロプログラムアドレス一致によってサービスプロセッサから擬似障害を設定後、スタートさせて擬似障害を発生させていた。これら一連の動作を、機械語命令のプログラムとサービスプロセッサのプログラムによって行っている。

#### [発明が解決しようとする課題]

上述した従来の擬似障害発生方式では、プログラムによって擬似障害を発生させているので、開発評価に時間が掛かるという欠点がある。

#### [課題を解決するための手段]

本発明による情報処理装置の擬似障害発生方式は、複数のマイクロプログラム命令を格納し、実行中のマイクロプログラムアドレスによって指定された前記複数のマイクロプログラム命令の特定のマイクロプログラム命令を出力するマイクロプ

ロップが一致信号を保持しているとき、前記第1のデータレジスタから前記第2のデータレジスタへ転送される特定のデータ情報の予め定められた部分を反転する手段と、前記障害検出信号により、前記第1及び第2のフリップフロップをリセットする手段とを有する。

#### [実施例]

次に、本発明について図面を参照して説明する。

第1図は本発明の一実施例の構成を示すブロック図である。

フリップフロップ(F/F)1には、サービスプロセッサ(図示せず)から擬似障害が指示された場合、信号線100を通して論理"1"レベルが設定される。また、擬似障害を発生させたい特別のマイクロプログラムアドレスも、サービスプロセッサから信号線101を通してマイクロプログラム比較レジスタ2(以下、CADRと略す。)に設定される。現在実行中のマイクロプログラムアドレスは、レジスタ3(以下、ADRと略す。)にあって、信号線102によりマイクロプログラムメモリ4

プログラムメモリと、前記特定のマイクロプログラム命令に関連したデータ部及びパリティ部からなる特定のデータ情報を保持する第1のデータレジスタと、該第1のデータレジスタの出力を保持する第2のデータレジスタと、該第2のデータレジスタの出力のパリティエラーを検出し、パリティエラーを検出した時、障害検出信号を発生するパリティチェック回路とを有する情報処理装置において、前記第1のデータレジスタから前記第2のデータレジスタへの特定のデータ情報のデータ転送の擬似障害を指示するための第1のフリップフロップと、擬似障害を発生すべき特別のマイクロプログラムアドレスを保持するアドレスレジスタと、該アドレスレジスタに保持された特別のマイクロプログラムアドレスと実行中のマイクロプログラムアドレスとを比較し、これらのマイクロプログラムアドレスが一致した時、一致信号を発生する比較回路と、前記一致信号を保持する第2のフリップフロップと、前記第1のフリップフロップが擬似障害を指示し、かつ前記第2のフリップ

(以下、CMと略す。)を指示する。マイクロプログラム命令を逐次実行するたびに、実行中のマイクロプログラムアドレスは更新される。そして、現在実行中のマイクロプログラムアドレスとCADR2の値と<sup>より</sup>一致は、ADR3の出力信号103とCADR2の出力信号104とをデータ比較回路5によって比較することによって行なわれ、一致すると、信号線105<sup>より</sup>フリップフロップ6に論理"1"レベルが設定される。

データレジスタ7,8は、36ビットのレジスタで、それぞれ32ビットのデータ部D<sub>A</sub>,D<sub>B</sub>と4ビットのパリティ部P<sub>A</sub>,P<sub>B</sub>から成り立っている。通常、マイクロプログラムコマンドにより、データレジスタ7からデータレジスタ8へデータ部は信号線106によって、パリティ部は信号線107から選択回路9を通して同じ値が信号線108を介して転送される。転送されたデータは、データレジスタ8の出力信号109,110となって、パリティチェック回路10によってパリティの正常性が試験される。

しかしながら、フリップフロップ1とフリップフロップ6の内容が両方とも論理"1"レベルである場合、フリップフロップ1の出力信号線111とフリップフロップ2の出力信号線112によって、論理積ゲート11の出力信号線113が論理"1"レベルとなって、選択回路9が切替わる。従って、データレジスタ7のパリティ部PAは、反転回路12によってビット反転が行われた後、選択回路9を通してデータレジスタ8のパリティ部PBに設定される。パリティチェック回路10は、データレジスタ8のパリティ不正を信号線109, 110によって検出を行ない、信号線114によってサービスプロセッサに通知を行なうと同時に、フリップフロップ1, 6を論理"0"レベルにする。

[ 発明の効果 ]

以上説明したように本発明は、マイクロプログラムの任意アドレスから擬似障害を発生させることにより、擬似障害評価時において間欠障害の擬似障害評価を簡単にできるという効果がある。

以下余白

#### 4. 図面の簡単な説明

第1図は本発明の一実施例の構成を示すブロック図である。

1, 6 … フリップフロップ, 2, 3 … マイクロプログラムアドレスレジスタ, 7, 8 … データレジスタ, 4 … マイクロプログラムメモリ, 5 … 比較回路, 11 … 論理積ゲート, 9 … 選択回路, 12 … 反転回路, 10 … パリティチェック回路。

代理人 (7783) 弁理士 池田 憲保



第1図

